

Calcolatori Elettronici – I parte (CdL Ingegneria Informatica)
Esame del 4 luglio 2012 – tempo a disposizione: 1 ora e 30 minuti

Compito Num. 1 COGNOME:.....NOME:.....

1) (20%) Si consideri una notazione binaria in virgola mobile a 8 bit, detta ALFA, di cui (nell'ordine da sinistra a destra) si usa 1 bit per il segno (0=positivo), 4 bit per l'esponente, che è rappresentato in eccesso a 8, ed i rimanenti 3 bit per la parte frazionaria della mantissa che è normalizzata tra 1 e 2 e di cui si rappresenta solo la parte frazionaria.

- A) Indicare l'intervallo di rappresentazione della notazione ALFA tenendo conto che le configurazioni dell'esponente composte da tutti 0 e da tutti 1 sono riservate;
- B) Indicare l'intervallo di rappresentazione dei numeri denormalizzati per la notazione ALFA facendo un esempio di numero denormalizzato;
- C) Dato il numero n rappresentato in complemento a uno dalla stringa esadecimale FEX (dove X è l'ultima cifra del proprio numero di matricola) rappresentarlo nella notazione in virgola mobile ALFA indicando l'eventuale errore assoluto che si commette;
- D) individuare una notazione in virgola mobile BETA a 12 bit che consente di rappresentare tutti i numeri rappresentabili della notazione ALFA ed abbia l'intervallo di rappresentazione più grande possibile; indicare poi il più grande e il più piccolo numero normalizzato rappresentabile nella notazione BETA.

2) (20%) Fornire lo schema di un circuito combinatorio per un sommatore algebrico a 4 bit. Tale circuito ha un segnale di controllo C , due ingressi A e B a 4 bit, un'uscita a 4 bit e funziona come segue: ricevuti in ingresso due numeri binari a 4 bit A e B , se $C = 0$ restituisce la somma di A e B , se invece $C = 1$ restituisce la loro differenza. È possibile utilizzare componenti di base quali half-adder e full-adder. Illustrare *concisamente* il funzionamento del circuito e specificare il valore di uscita di *ciascuna componente* quando in ingresso risulta $A=0110$, $B=0011$ e $C = 1$.

3) (20%) Illustrare la composizione e il funzionamento di un'unità RAID di 1 TB (spazio utilizzabile di memoria fisica) e con blocchi (strip) di 2 MB, con riferimento: (A) ad una configurazione di livello 1 con 6 dischi, (B) ad una configurazione di livello 4 con 5 dischi e (C) ad una configurazione di livello 5 con 3 dischi. Indicare in tutti i casi la dimensione effettiva di memoria fisica necessaria per la realizzazione unità RAID in termini di numero di byte e di numero di strip.

DOMANDE A RISPOSTA MULTIPLA (40%) Indicare **in fondo al foglio** se le seguenti affermazioni sono vere (con una croce su [V]) o false (con una croce su [F]).

- 4) Con riferimento ai codici a rilevazione e correzione di errore, indicare se le seguenti affermazioni sono vere o false.
- A) Il numero di bit di controllo in un codice a correzione di errore singolo diminuisce con la lunghezza complessiva della codifica.
 - B) Due codifiche di un codice con distanza di Hamming pari a n possono trovarsi a distanza di Hamming minore di n .
 - C) Per essere in grado di rilevare 4 errori di 1 bit in un codice occorre una distanza di Hamming pari a 4.
 - D) Un errore su 3 bit per un codice con distanza di Hamming pari a 5 può essere corretto.
 - E) Per poter correggere 7 errori di 1 bit in una codice occorre una distanza di Hamming pari a 8.
 - F) Se due codifiche hanno una distanza di Hamming pari a 10 allora sono necessari 5 errori di un bit per convertire una codifica nell'altra.
 - G) In un codice con bit di parità non si può rilevare un errore commesso proprio sul bit di parità.
 - H) L'inserimento di 1 bit di controllo introduce in qualsiasi codice una distanza di Hamming pari a 1.
- 5) Con riferimento ai dispositivi di memoria secondaria, indicare se le seguenti affermazioni sono vere o false.
- A) Sui cavi SCSI i dati vengono trasmessi in parallelo.
 - B) I dispositivi Blu-Ray utilizzano la stessa tecnologia basata su pit a land dei CD.
 - C) In una unità disco un cilindro è l'insieme delle tracce alla stessa distanza dal centro.
 - D) La *burst rate* di un'unità a disco non tiene conto dei tempi di ricerca del dato sul disco.
 - E) Il tempo di latenza di un'unità a disco è il tempo di spostamento del settore desiderato di una traccia sotto la testina.
 - F) Il meccanismo della DMA richiede controllori di unità periferiche in grado di accedere alla memoria senza intervento della CPU.
 - G) E' possibile realizzare una unità RAID con un solo disco.
 - H) Tutte le configurazioni RAID introducono ridondanze.

Risposte domanda 4 = A:[V][F] B:[V][F] C:[V][F] D:[V][F] E:[V][F] F:[V][F] G:[V][F] H:[V][F]

Risposte domanda 5 = A:[V][F] B:[V][F] C:[V][F] D:[V][F] E:[V][F] F:[V][F] G:[V][F] H:[V][F]

Nota bene: continua sul retro del foglio

Compito Num. 1

- 6) Si consideri un bus sincrono che lavora a 50 Mhz con linee separate per dati e indirizzi dotato dei segnali di controllo MREQ, RD e WAIT e una memoria con un tempo di risposta di 40nsec dal momento in cui gli indirizzi sono stabili; indicare se le seguenti affermazioni sono vere o false.
- A) Una transizione di lettura da una memoria con un tempo di risposta di 65nsec dura 80nsec.
 - B) In condizioni ideali, per garantire una lettura in memoria, il segnale di WAIT deve rimanere asserito per 1 periodo di clock.
 - C) Sul bus PCI Express la comunicazione è seriale.
 - D) In condizioni ideali, se si usa una memoria con un tempo di risposta di 25nsec, non è necessario asserire WAIT.
 - E) In condizioni ideali, se la frequenza si dimezza, i dati saranno disponibili presso il master dopo 60nsec.
 - F) Complessivamente, una transazione di lettura dura 50nsec.
 - G) In condizioni ideali, i dati saranno disponibili presso il master dopo 120nsec.
 - H) In condizioni ideali, se la frequenza si raddoppia, i dati saranno disponibili presso il master dopo 45nsec.
- 7) Considerando una CPU con architettura RISC, 10 stadi di pipeline e un clock di 2 Ghz e supponendo di lavorare in condizioni ideali (assenza di stalli), indicare se le seguenti affermazioni sono vere o false.
- A) Se nella pipeline si aggiungono due stadi il tempo di esecuzione di un'istruzione aumenta di 1 nsec.
 - B) Il tempo di esecuzione di una istruzione è di 5 nsec.
 - C) Un programma di 7 istruzioni richiede 8 nsec per essere eseguito.
 - D) In condizioni ideali si completa a regime una istruzione ogni mezzo nsec.
 - E) L'ampiezza di banda della CPU è di 2000 MIPS.
 - F) Se la frequenza di clock diminuisce il tempo di esecuzione di una istruzione aumenta.
 - G) La latenza della CPU è di 5 nsec.
 - H) Se nella pipeline si aggiunge uno stadio l'ampiezza di banda della CPU rimane la stessa.

Risposte domanda 6 = A:[V][F] B:[V][F] C:[V][F] D:[V][F] E:[V][F] F:[V][F] G:[V][F] H:[V][F]

Risposte domanda 7 = A:[V][F] B:[V][F] C:[V][F] D:[V][F] E:[V][F] F:[V][F] G:[V][F] H:[V][F]