

**Calcolatori Elettronici – I parte (CdL Ingegneria Informatica)**  
**Esame del 19 luglio 2017 – tempo a disposizione: 1 ora e 30 minuti**

**Compito Num. 1** COGNOME:.....NOME:.....

1) (20%) Si consideri la sequenza di bit espressa in esadecimale dalla stringa 2XB (dove X è la cifra meno significativa del vostro numero di matricola) e sia: (i)  $a$  il numero che si ottiene interpretando la sequenza suddetta nel sistema in complemento due, e (ii)  $b$  il numero che si ottiene interpretando la medesima sequenza nel sistema in eccesso  $2^{11}$ .

- A) Individuare una notazione in virgola mobile ALFA che consenta di rappresentare senza errori entrambi i numeri  $a$  e  $b$  con il numero minimo possibile di bit mostrando la loro rappresentazione nella notazione individuata;
- B) indicare l'intervallo di rappresentazione della notazione ALFA tenendo conto che le configurazioni dell'esponente composte da tutti 0 e da tutti 1 sono riservate;
- C) calcolare gli eventuali errori assoluti che si commettono per rappresentare  $a$  e  $b$  nella notazione ALFA individuata al punto A se si tolgono 3 bit dalla mantissa;
- D) calcolare il numero  $c = a - b$  e rappresentare  $c$  nel sistema in complemento a due.

**La risposta deve essere contenuta nello spazio che segue**

2) (20%) Fornire lo schema di un circuito combinatorio che realizza un duplicatore di numeri in formato binario sulla base di un segnale di controllo C. Tale circuito ha 5 ingressi ( $X_3X_2X_1X_0$  e C) e 4 uscite ( $Y_3Y_2Y_1Y_0$ ) e si comporta come segue. Quando  $C=0$  l'uscita è uguale all'ingresso mentre quando  $C=1$  l'uscita duplica l'ingresso. Se per esempio in ingresso c'è il numero 3 in formato binario, l'uscita vale 3 se  $C=0$  e 6 se  $C=1$ . Illustrare *concisamente* il funzionamento del circuito e specificare il valore di uscita di ciascuna componente quando il registro si trova a 0011 e  $C=1$ .

**La risposta deve essere contenuta nello spazio che segue**

3) (20%) Si consideri un bus sincrono con linee separate per dati e indirizzi dotato dei segnali di controllo  $\overline{\text{MREQ}}$ ,  $\overline{\text{RD}}$  e  $\overline{\text{WAIT}}$  e una memoria con un tempo di risposta di 30 nsec dal momento in cui l'indirizzo è disponibile sul bus.

- A) Individuare una frequenza di funzionamento del bus che consente di completare una operazione di lettura in memoria senza necessità di asserire il segnale WAIT;
- B) tracciare e illustrare il diagramma di temporizzazione di una lettura in memoria alla frequenza di funzionamento calcolata al punto A;
- C) tracciare e illustrare il diagramma di temporizzazione di una lettura in memoria alla frequenza di funzionamento calcolata al punto A supponendo che il tempo di risposta della memoria aumenti a 50 nsec.

**La risposta deve essere contenuta nello spazio che segue**

**DOMANDE A RISPOSTA MULTIPLA (40%)** Indicare **in fondo al foglio** se le seguenti affermazioni sono vere (con una croce su [V]) o false (con una croce su [F]). **Nota Bene:** risposte corrette +1, risposte sbagliate -1/3.

- 4) Si consideri un'unità disco RAID con spazio utilizzabile di memoria fisica pari a 1TB ( $2^{30}$ B) e con blocchi (strip) di 1 GB; indicare le affermazioni esatte tra le seguenti.
- A) Il RAID di livello 2 con 4 dischi se si rompono 2 dischi qualunque non si perdono dati.
  - B) In un RAID di livello 0 con 4 dischi, ogni disco è da 256GB.
  - C) In un RAID di livello 1 con 4 dischi, ogni disco è da 512GB.
  - D) In un RAID di livello 5 con dischi da 512GB, ho bisogno di 3 dischi.
  - E) In un RAID di livello 5 con 5 dischi, se si rompono 2 dischi qualunque non si perdono dati.
  - F) In un RAID di livello 1 ho bisogno di una capacità di memoria totale di 2TB.
  - G) In un RAID di livello 3 se si rompe un disco qualunque è possibile recuperare i dati.
  - H) In un RAID di livello 4 con 5 dischi, ogni disco è da 512GB.
- 5) Con riferimento alle architetture CISC e RISC indicare se le seguenti affermazioni sono vere o false.
- A) E possibile programmare al livello delle microistruzioni.
  - B) Esistono architetture ibride CISC/RISC.
  - C) In un'architettura RISC le istruzioni macchina devono essere decodificate prima di essere eseguite.
  - D) Le CPU dotate di microprogram counter non hanno bisogno di un program counter.
  - E) In un architettura RISC il livello della microprogrammazione è assente.
  - F) In linea di principio, in una architettura CISC è possibile modificare il linguaggio macchina senza ritoccare l'architettura della CPU.
  - G) In un'architettura con pipeline l'esecuzione completa di una istruzione richiede più cicli di clock.
  - H) Il microprogramma di un microprocessore CISC è contenuto nella cache di primo livello.
- 6) Con riferimento ai dispositivi di memoria secondaria, indicare se le seguenti affermazioni sono vere o false.
- A) In una unità a disco le tracce sono a forma di spirale.
  - B) Il tempo di latenza di un'unità a disco corrisponde al tempo di spostamento sul settore desiderato di una traccia.
  - C) Sui cavi USB i dati vengono trasmessi in serie.
  - D) La *burst rate* di un'unità a disco tiene conto dei tempi di posizionamento sul primo settore da leggere.
  - E) Le pendette USB sono realizzate mediante memorie a stato solido.
  - F) Un bus che lavora in DMA richiede controllori per ciascuna unità periferica connessa al bus.
  - G) La lettura di un dispositivo Blu-Ray avviene mediante un laser.
  - H) Le unità a stato solido utilizzano transistor per memorizzare i dati.
- 7) Considerando una CPU con architettura RISC, 12 stati di pipeline e un clock di 2 Ghz e supponendo di lavorare in condizioni ideali (assenza di stalli), indicare se le seguenti affermazioni sono vere o false.
- A) Se nella pipeline si elimina uno stadio il tempo di esecuzione di un'istruzione rimane invariato.
  - B) In condizioni ideali si completa a regime una istruzione ogni nsec.
  - C) Il tempo di esecuzione di una istruzione è di 8 nsec.
  - D) La latenza della CPU è di 6 nsec.
  - E) Se nella pipeline si aggiunge uno stadio l'ampiezza di banda della CPU diminuisce.
  - F) Se la frequenza di clock scende a 1,5 Ghz il tempo di esecuzione di una istruzione diminuisce.
  - G) L'ampiezza di banda della CPU è di 2000 MIPS.
  - H) Un programma di 5 istruzioni richiede 8 nsec per essere eseguito.

---

Risposte domanda 4 = A:[V][F] B:[V][F] C:[V][F] D:[V][F] E:[V][F] F:[V][F] G:[V][F] H:[V][F]

Risposte domanda 5 = A:[V][F] B:[V][F] C:[V][F] D:[V][F] E:[V][F] F:[V][F] G:[V][F] H:[V][F]

Risposte domanda 6 = A:[V][F] B:[V][F] C:[V][F] D:[V][F] E:[V][F] F:[V][F] G:[V][F] H:[V][F]

Risposte domanda 7 = A:[V][F] B:[V][F] C:[V][F] D:[V][F] E:[V][F] F:[V][F] G:[V][F] H:[V][F]

---

**Compito Num. 1**