

Calcolatori Elettronici da 6CFU (CdL Ingegneria Informatica)
Esame del 20 luglio 2018
tempo a disposizione: 1 ora e 25 minuti

Domanda 1

Rappresentare il numero -3 nel sistema di rappresentazione in eccesso a 16 su 5 bit. Fornire il risultato come sequenza di 5 bit, senza spazi.

Domanda 2

Rappresentare il numero +10 nel sistema di rappresentazione in complemento a due su 6 bit. Fornire il risultato come sequenza di 6 bit, senza spazi.

Esercizi su notazioni in virgola mobile. *Si consideri una notazione binaria in virgola mobile a 8 bit denominata VM, di cui (nell'ordine da sinistra a destra) si usa 1 bit per il segno (0=positivo, 1=negativo), 4 bit per l'esponente, che è rappresentato in eccesso a 8 e nel quale le configurazioni con tutti 1 e con tutti 0 riservate, e i rimanenti 3 bit per la parte decimale della mantissa, che è normalizzata tra 1 e 2. Rispondere alle domande che seguono.*

Domanda 3

Rappresentare il numero decimale -3 nella notazione VM. Fornire il risultato come sequenza di 8 bit, senza spazi.

Domanda 4

Rappresentare nella notazione VM il numero che nel sistema in complemento a due è rappresentato dalla stringa esadecimale 1A. Fornire il risultato come sequenza di 8 bit, senza spazi.

Domanda 5

Indicare l'eventuale errore assoluto che si commette al punto precedente.

Esercizi su pipeline. *Si consideri un microprocessore con architettura RISC, 12 stati di pipeline e un clock di 2 Ghz e si supponga di lavorare in condizioni ideali. Rispondere alle domande che seguono.*

Domanda 6

Quanti nanosecondi sono necessari per eseguire un'istruzione? Indicare il risultato con un numero, senza indicazione dell'unità di misura.

Domanda 7

Quanti nanosecondi sono necessari per eseguire un programma di tre istruzioni? Indicare il risultato con un numero, senza indicazione dell'unità di misura.

Domanda 8

Se la latenza della pipeline è di 3 nanosecondi a che frequenza lavora la pipeline in Ghz? Indicare il risultato con un numero, senza indicazione dell'unità di misura.

Domanda 9

Quante istruzioni riesce ad eseguire a regime la pipeline in un secondo? Indicare il risultato con un numero, senza punti decimali.

Esercizi su unità RAID. *Si consideri un'unità RAID di 1TB (dimensione di memoria fisica visibile a livello di sistema operativo) e con blocchi (strip) di 512 KB. Rispondere alle domande che seguono.*

Domanda 10

Indicare la dimensione dei singoli dischi in un RAID di livello 0 con 2 dischi. Fornire il risultato nel formato: XM dove M=KB,MB,GB o TB (per esempio: 125GB).

Domanda 11

Indicare la dimensione dei singoli dischi in un RAID di livello 1 con 8 dischi in tutto. Fornire il risultato nel formato: XM dove M=KB,MB,GB o TB (per esempio: 125GB).

Domanda 12

Indicare la dimensione dei singoli dischi in un RAID di livello 5 con 5 dischi. Fornire il risultato nel formato: XM dove M=KB,MB,GB o TB (per esempio: 125GB).

Domanda 13

Fornire lo schema di un circuito combinatorio che implementa una piccola ALU avente due operandi in ingresso da 1 bit (A e B). Tale ALU deve essere in grado di svolgere, in base al valore di due segnali di controllo, le seguenti operazioni: (a) il complemento a 1 dell'operando A (segnali di controllo: 00), (b) il test A=B (segnali di controllo: 01), (c) l'AND logico di A per B (segnali di controllo: 01) e (d) la somma di A e B (segnali di controllo: 11). È possibile utilizzare componenti predefiniti quali decodificatori e full adder.

Esercizi su bus. *Si consideri un bus sincrono che lavora a 200 Mhz con linee separate per dati e indirizzi dotato dei segnali di controllo MREQ, RD e WAIT e una memoria con un tempo di risposta di 30 nsec dal momento in cui gli indirizzi sono stabili. Rispondere alle domande che seguono.*

Domanda 14

In condizioni ideali, per quanto tempo deve essere asserted il segnale di WAIT per garantire una lettura in memoria? Esprimere il risultato con un numero che indica il tempo in nsec.

Domanda 15

In condizioni ideali, quanto dura, complessivamente, una transazione di lettura? Esprimere il risultato con un numero che indica il tempo in nsec.

Domanda 16

In condizioni ideali, quanto dura, complessivamente, una transazione di lettura se la frequenza si dimezza? Esprimere il risultato con un numero che indica il tempo in nsec.

Esercizi su cache. *Si vuole progettare una cache a mappatura diretta per un sistema a 24 bit e blocchi di 128 byte. Rispondere alle domande che seguono supponendo di avere a disposizione uno spazio di 150KB sul microprocessore. Rispondere alle domande che seguono.*

Domanda 17

Indicare la dimensione massima possibile per la cache. Esprimere il risultato nel formato XM (dove M=B,KB,MB,GB o TB) arrotondando all'intero superiore (per esempio: 125KB).

Domanda 18

Indicare la struttura di una slot della cache individuata nella domanda precedente, specificando la dimensione dei vari campi (validità,tag,dati) nel formato XM:YM:ZM, dove M = b (bit) o B (Byte) (per esempio: 3b:15b:55B).

Domanda 19

Indicare il numero di possibili collisioni in una slot della cache individuata nelle domande precedenti. Indicare il risultato con un numero intero.

Domanda 20

Indicare il numero di collisioni nel caso in cui, mantenendo lo stesso numero di slot della cache individuata nelle domande precedenti, la cache viene realizzata a due vie.

Domanda 21

Qual è l'istruzione dell'assembler 8088 che consente di confrontare il contenuto di due registri?

Domanda 22

Indicare l'istruzione completa che consente di copiare nel registro AX il dato di memoria principale il cui indirizzo è di memoria ha etichetta N.

Domanda 23

Indicare l'istruzione completa che consente di sommare il contenuto registro AX con il dato in memoria principale il cui indirizzo si trova nel registro BX.

Domanda 24

Si vuole realizzare una CPU con architettura RISC dotata di due registri general purpose, due coppie di registri per il trasferimento di dati e istruzioni da/per una memoria RAM e tre bus. La CPU deve essere in grado di eseguire 12 operazioni aritmetiche a numeri interi e deve essere dotata di una pipeline a più stadi. Tutte le altre specifiche possono essere liberamente scelte.

- A) Disegnare l'architettura generale di tale CPU secondo i principi RISC e illustrare concisamente il suo funzionamento;
- B) Definire i segnali di controllo per tale architettura, evidenziando su quali componenti della CPU operano;
- C) Descrivere, possibilmente in maniera grafica, cosa succede in cicli di clock consecutivi nei vari stadi della pipeline.

Soluzioni

Domanda 1 La risposta corretta è: 01101

Domanda 2 La risposta corretta è: 001010

Domanda 3 La risposta corretta è: 11001100

Domanda 4 La risposta corretta è: 01100101

Domanda 5 La risposta corretta è: 0

Domanda 6 La risposta corretta è: 6

Domanda 7 La risposta corretta è: 7

Domanda 8 La risposta corretta è: 4

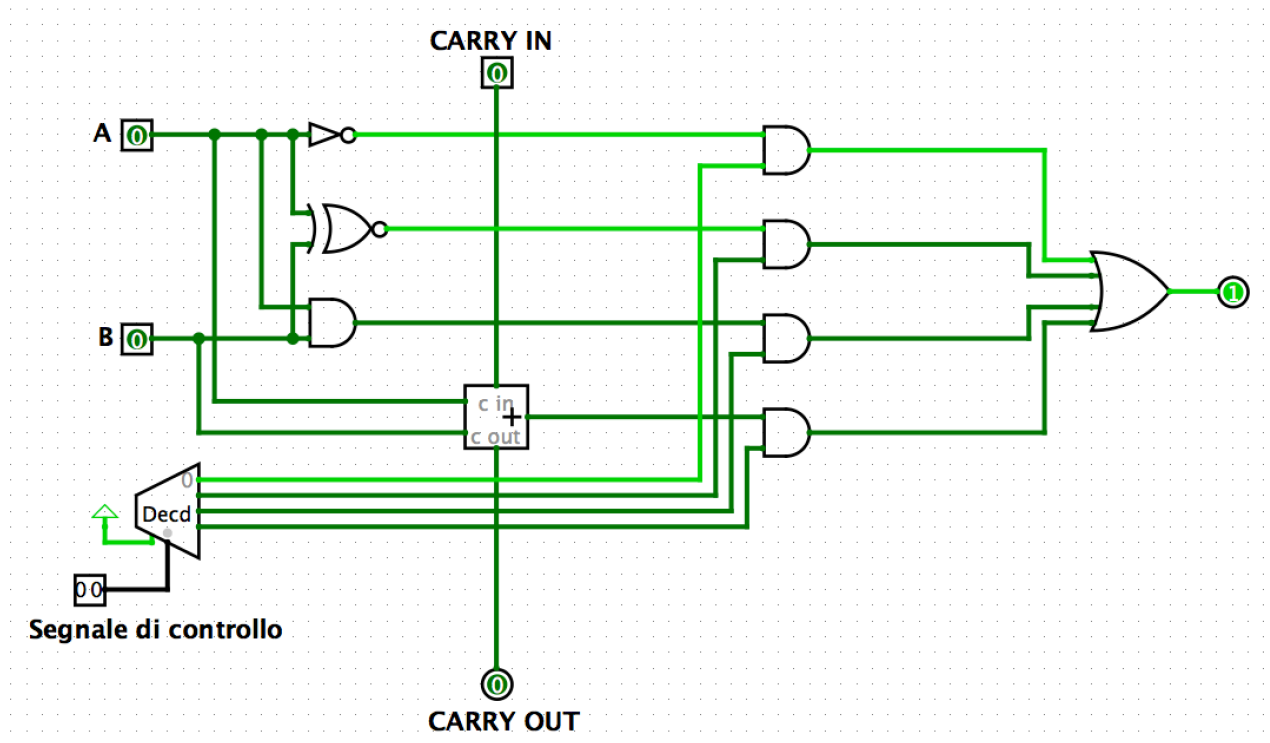
Domanda 9 La risposta corretta è: 2000000000

Domanda 10 La risposta corretta è: 512GB

Domanda 11 La risposta corretta è: 256GB

Domanda 12 La risposta corretta è: 256GB

Domanda 13 Possibile soluzione:



Utilizzo un decodificatore a cui collego due segnali di controllo per la scelta dell'operazione. Si richiede poi di svolgere 4 operazioni: per il complemento a 1 dell'operando A utilizzo un NOT; per verificare che A e B sono uguali utilizzo la porta logica NXOR (in questo modo nel caso A=0 e B=0 o A=1 e B=1 in uscita ho 1, negli altri casi 0); per l'operazione di AND utilizzo la porta logica AND e, infine, per la somma utilizzo un full adder con anche il carry in e il carry out per il riporto.

Domanda 14 La risposta corretta è: 25

Domanda 15 La risposta corretta è: 35

Domanda 16 La risposta corretta è: 40

Domanda 17 La risposta corretta è: 129KB

Domanda 18 La risposta corretta è: 1b:7b:128B

Domanda 19 La risposta corretta è: 128

Domanda 20 La risposta corretta è: 64

Domanda 21 La risposta corretta è: CMP

Domanda 22 La risposta corretta è: MOV AX, (N)

Domanda 23 La risposta corretta è: ADD AX, (BX)

Domanda 24 Possibile soluzione (punto A):

